

# 邏輯分析儀應用在數位設計上的基本概念

## 前言

當工程師需要同時查看16位元計數器的輸入和輸出信號以找出時序的錯誤，但卻只有雙通道的示波器時，該如何才能查看所有的信號？如果您剛為佈滿數位電路的電路板畫出時序圖，該如何加以驗證？您要用什麼工具來進行擷取和分析？

如果使用錯誤的工具來解決這類的問題，可能會非常耗時。就上述的問題而言，邏輯分析儀是最佳的解決方案。本文將帶您快速綜覽邏輯分析儀的基本概念，讓您瞭解邏輯分析儀到底可以做什麼。

## 示波器或邏輯分析儀？

當有機會可以選擇使用示波器或邏輯分析儀時，許多工程師都會選擇示波器。然而，示波器在某些應用上的有效性確實有些限制，邏輯分析儀或許可以提供更有用的資訊，端視使用者想要達到的目的為何而定。

## 何時應使用示波器

- 當您需要觀察信號上的細微電壓變動時
- 當您要求較高的時間間隔準確度時

## 何時應使用邏輯分析儀

- 當您需要一次查看很多個信號時
- 當您需要觀察系統中的信號如同硬體所看到的一樣時
- 當您需要針對好幾條信號線上的高位準和低位準碼型進行觸發並查看結果時

當系統中的信號跨越一個臨界值時，邏輯分析儀的反應就如同邏輯電路一樣，會辨識該信號為低位準或高位準，而且還可以針對這些信號的高位準和低位準碼型進行觸發。

一般而言，當您需要查看的信號線多過示波器所能顯示的數目時，應使用邏輯分析儀。邏輯分析儀特別適合用來查看時序關係或匯流排上的資料，例如微處理器的位址、資料或控制匯流排。邏輯分析儀可以將微處理器匯流排上的資訊解碼，然後以容易解讀的方式呈現出來。

當工程師完成了設計的參數階段，想要查看許多信號之間的時序關係，且需要針對邏輯高位準和低位準的碼型進行觸發時，邏輯分析儀是最合適的工具。

## 什麼是邏輯分析儀？

大部分的邏輯分析儀其實是兩種分析儀合而為一，一種是時序分析儀，另一種是狀態分析儀。

## 時序分析儀的基本概念

時序分析儀能以與示波器相同的常見形式來顯示資訊，也就是水平軸代表時間，垂直軸代表電壓的振幅。由於兩種儀器顯示的波形具有時間相依性（time-dependent），因此其顯示的結果都是時域的。

## 選擇正確的取樣方法

時序分析儀類似數位示波器，具有一位元的垂直解析度。一位元的解析度只能顯示兩種狀態 — 高或低，它只會依照使用者設定的一個電壓臨界值來判斷高或低。當分析儀進行取樣時，如果信號高於臨界值，分析儀就會將它顯示為高位準或 1，而取樣的信號若低於臨界值，則會顯示為 0 或低位準。從這些取樣點可以產生 1 和 0 的列表，它代表的是輸入波形的單位元圖形。這個列表會被儲存在記憶體中，可以用來重建出輸入波形的單位元圖形，如圖 1 所示。

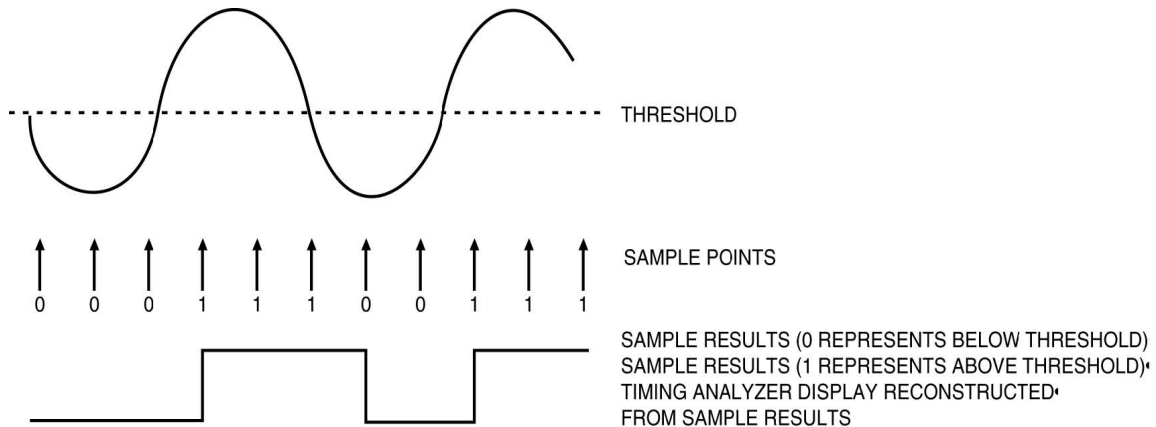


圖 1：時序分析儀的取樣點

時序分析儀往往會將波形畫得方方正正的，也因此似乎限制了它的用途。如果需要驗證合在一起的數條或數百條信號線的時序關係，則時序分析儀是正確的選擇。

記住：每一個取樣點都會用掉一個記憶體位置，因此，解析度愈高（取樣率愈快），擷取時間長度就愈短。

## 轉態時序取樣

若要擷取含叢發資料的輸入信號線上的資料，如圖 2 所示，就必須將取樣率調到高解析度（例如 4 ns），才能擷取到一開始的快速脈衝。這表示記憶體容量為 4K（4096 個取樣點）的時序分析儀會在 16.4  $\mu$ s 後停止擷取資料，工程師將無法再擷取到第二筆叢發資料。

在一般的除錯作業中，會取樣和儲存一長段時間的資料，即使該時間內沒有任何信號動作也一樣。這樣一來，會佔用掉邏輯分析儀的記憶體，卻無法提供進一步的資訊。如果知道轉態何時出現，以及它是正向或負向的，就可以解決這個問題。這項資訊是轉態時序的基礎，可以讓記憶體的使用更有效率。

若要擷取轉態時的時序，可以在時序分析儀的輸入端使用一個"轉態偵測器"（transition detector）加上一個計數器，這樣一來，時序分析儀就只會儲存出現轉態後的取樣結果，以及距離上一次轉態所經過的時間。這種方法在每次轉態時只會用掉兩個記憶體位置，而且如果輸入端沒有任何信號動作時，則完全不會用掉任何記憶體。

在我們的例子中，可以擷取到第二、第三、第四和第五筆叢發資料，視每筆叢發資料中有多少個脈衝而定。在此同時，還可以維持高達 4 ns 的時序解析度（請參見圖 3）。

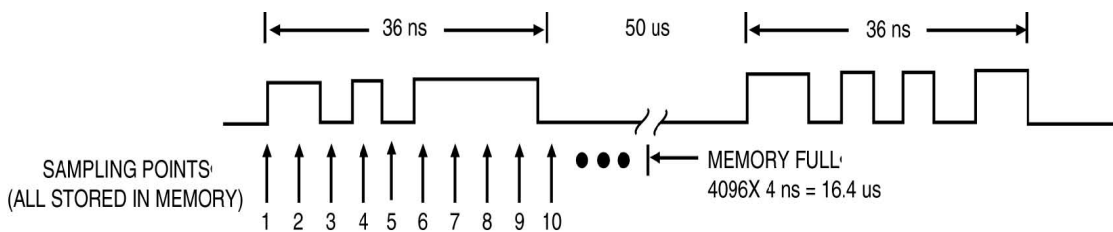


圖 2：以高解析度進行取樣

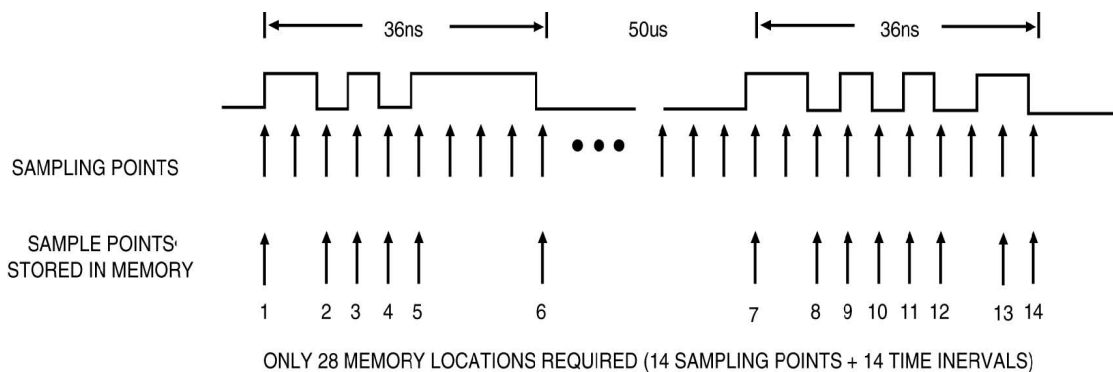


圖 3：配合轉態偵測器進行取樣

## 突波擷取

突波令人討厭的地方在於總是出現在最不適當的時機，造成最悲慘的結果。時序分析儀會對輸入的資料進行取樣，然後追蹤兩次取樣間出現的任何轉態，可以立即辨認出突波。對分析儀而言，突波的定義是兩次取樣間，跨越邏輯臨界值不止一次的所有轉態波形。爲了要辨認突波，邏輯分析儀得“學會”追蹤所有多次轉態的狀況，並顯示爲突波。

能夠顯示突波是一項很有用的功能，但如果能進一步針對突波進行觸發和顯示突波出現前的資料，將會更有幫助，可以協助找出造成突波的原因。這項能力也可以讓分析儀只在想要的時候 — 也就是當突波出現時，才擷取資料。

試想一個例子：系統因其中一條信號線出現突波，而發生當機。由於它出現的頻率不高，因此如果全程儲存資料（假設有夠大的儲存容量）的話，將會導致要篩選的資料量過於龐大。另一種方法是使用不含突波觸發功能的分析儀，此時就得坐在機器前面，按下執行鍵，等到突波出現爲止。

## 觸發時序分析儀

邏輯分析儀會連續擷取資料，並在找到追蹤點後停止擷取。因此，邏輯分析儀可以顯示追蹤點之前（也稱爲負向時間），以及追蹤點之後的資訊。

### 碼型觸發

在時序分析儀上設定追蹤的條件與在示波器上設定觸發位準和斜率（slope）有些不同，許多分析儀可以依照橫跨數條輸入信號線所設定的高位準和低位準碼型進行觸發。

爲了讓使用者在使用上更加簡便，大多數分析儀的觸發點都能以二進位（1 和 0）、十六進位、八進位、ASCII 或十進位的方式來設定。若要查看 4、8、16、24 或 32 位元寬的匯流排，使用十六進位來設定觸發點會特別方便，試想：若以二進位的方式來設定 24 位元匯流排的規格會有多麼麻煩。

### 信號緣觸發

當我們在調整示波器上的觸發位準旋鈕時，可以把它想成是在設定電壓比較器的位準，藉以告訴示波器當輸入電壓超過該位準時，即進行觸發。時序分析儀的信號緣觸發運作原理基本上是一樣的，只不過是將觸發位準預設爲邏輯臨界值。

雖然許多邏輯元件都是依照位準的高低來判斷，但這些元件的時脈和控制信號通常都是靠信號緣來動作的。信號緣觸發可以讓使用者在元件收到時脈信號時，開始擷取資料。

分析儀可以在時脈信號緣出現（上升或下降）時擷取資料，並擷取移位暫存器（shift register）的所有輸出。在此情況下，必須延遲追蹤點，才能因應移位暫存器的傳遞延遲（propagation delay）。

## 狀態分析儀的基本概念

如果工程師從未用過狀態分析儀，可能會認為它是一台極為複雜的儀器，需要花很多時間才能精通和嫻熟，但其實許多硬體設計工程師都覺得狀態分析儀是非常有用的工具。

## 何時應使用狀態分析儀

邏輯電路的"狀態"是匯流排或信號線的資料有效時的取樣結果。

以一個簡單的"D"型正反器（flip-flop）為例，位於"D"輸入端的資料必須等到正向的時脈信號緣出現後才有效，因此，正反器的狀態是指正向的時脈信號緣出現後的狀態。

試想有八組這樣的正反器並排在一起，且全都連接到同一個時脈信號。當時脈信號線上出現正向的轉態時，全部八組正反器都會擷取"D"輸入端的資料。再次強調，每當時脈信號線上出現正向的轉態時，就會形成一組新的狀態。這八條信號線就類似於微處理器的匯流排。

若將狀態分析儀連接到這八條信號線，並告訴分析儀在時脈信號線出現正向的轉態時，開始蒐集資料，則分析儀會完全照做。除非時脈轉為高位準，否則狀態分析儀不會擷取輸入端的任何動作。

時序分析儀使用內部的時脈來控制取樣動作，因此是以非同步的方式，對待測系統進行取樣。狀態分析儀的取樣時脈則是來自於系統，因此能以同步的方式，對待測系統進行取樣。

狀態分析儀通常是以列表的格式顯示資料，而時序分析儀則是以波形圖來顯示資料。

## 認識時脈

時序分析儀會依照單一內部時脈的指示進行取樣，這一點讓事情變得很簡單。然而，就微處理器而言，系統可能會有好幾個"時脈"。

假設工程師想要針對RAM的特定位址進行觸發，以查看該位址儲存了什麼資料，同時也假設系統使用的是Zilog Z80。

若要運用狀態分析儀擷取 Z80 的位址，就需要在 MREQ 信號線變成低位準時進行擷取。但爲了擷取資料，分析儀得在寫入週期（WR）信號線變成低位準，或讀取週期（RD）信號線變成低位準時進行取樣。有些微處理器會透過同一組信號線來多工處理資料和位址，因此分析儀必須要能依照不同的時脈，從相同的信號線進行取樣。

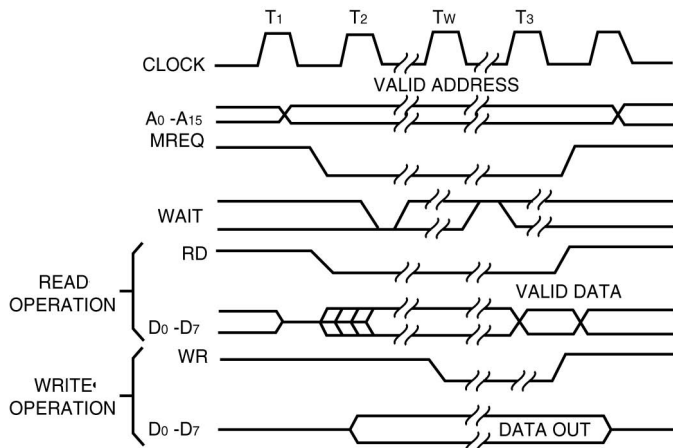


圖4：RAM的時序波形

在讀取或寫入週期，Z80會先在位址匯流排上輸出一個位址，然後觸動（assert）MREQ線，代表該位址的記憶體已經可以讀取或寫入資料了，最後再依照所要執行的動作是讀取或寫入來觸動RD或WR信號線。WR信號線只有在匯流排上的資料爲有效時，才會被觸動。

因此，時序分析儀會像是一個解多工器，在正確的時間擷取位址，然後再擷取出現在同一組信號線上的資料。

### 觸發狀態分析儀

如同時序分析儀一樣，狀態分析儀也能限定想要儲存之資料的條件。若要找尋位址匯流排上特定的高/低位準碼型，可以設定分析儀在找到該碼型時開始儲存資料，並且持續儲存到分析儀的記憶體用完爲止。

所有的資訊都可以十六進位或二進位的格式顯示，若將十六進位資料解碼成組合語言碼（assembly code）可能會更有幫助。就處理器而言，特定的十六進位字元可以組成一個指令。大多數的分析儀製造商都設計了稱爲反組譯程式的套裝軟體，這些軟體的功用就是要將十六進位碼轉譯爲組合語言碼，以便更容易讀懂。

Sample Number	Software Address	MPC821/B60 PowerQUICC Inverse Assembler	
-29	FFFO 3190	addi	r11,r11,0x0001
-25	FFFO 3194	addis	r12,r0,0x0000
-21	FFFO 3198	stw	r11,0x41b0(r12)
-20	0000 41B0	mem write	0x00
-19	0000 41B1	mem write	0x00
-18	0000 41B2	mem write	0x0b
-17	0000 41B3	mem write	0x6c
-13	FFFO 319C	addis	r12,r0,0x0000
-9	FFFO 31A0	lwz	r3,0x41b0(r12)
-8	0000 41B0	mem read	0x00
-7	0000 41B1	mem read	0x00
-6	0000 41B2	mem read	0x0b
-5	0000 41B3	mem read	0x6c
-1	FFFO 31A4	bl	update display
3	FFFO 31B4	mfspr	r0,d8
7	FFFO 31B8	or	r11,r1,r1
11	FFFO 31BC	stwu	r1,0xffe8(r1)
15	FFFO 31C0	bl	.text+4A08
19	FFFO 6A08	stw	r28,0xffff0(r11)
23	FFFO 6A0C	stw	r29,0xffff4(r11)
27	FFFO 6A10	stw	r30,0xffff8(r11)

圖 5：將十六進位碼轉譯成組合語言碼

### 認識序列階層 (sequence level)

狀態分析儀提供的"序列階層"對觸發和儲存很有幫助，序列階層可以限定資料儲存的條件，準確度比單一觸發點還要高，也就是說，它可以準確地限定資料的範圍，而不會儲存不需要的資訊。序列階層通常看起來就像這樣：

```
1 find xxxx
else on xxxx go to level x 2 then find xxxx
else on xxxx go to level x 3 trigger on xxxx
```

#### 選擇性的儲存可以節省記憶體和時間

選擇性儲存的意思就是只儲存全部資料的其中一部份。舉例來說，假設使用一個組合常式 (assembly routine) 來計算特定數字的平方值，如果該常式無法正確地計算出平方值，使用者可以命令狀態分析儀擷取該常式。做法是先告訴分析儀找出該常式的開頭，當它找到開始位址時，會再尋找結束位址，並儲存當中的所有資料。當分析儀執行到常式的終點時，就會停止儲存 (不再儲存任何狀態)。

### 如何連接標的系統

至此，我們已經討論過示波器和時序及狀態分析儀之間的一些差異。在開始應用這些新工具之前，應該要再談談探量系統。

邏輯分析儀探棒的設計是爲了輕易地將大量的通道連接到標的系統，因此較無法顧及待測信號的振幅準確度。

傳統上，邏輯分析儀使用的是主動式探棒組（probe pod），其內部整合了信號偵測電路，每個通道的總電容值最高達 16 pF，最多可偵測八個通道。

## 探量解決方案

進行除錯時，與數位系統的實體連接必須既可靠又方便，並且在最不會侵擾所要除錯之標的系統的情況下，提供準確的資料給邏輯分析儀。

常用的探量解決方案是每條接線含 16 個通道的被動式探棒，每個通道的兩端都以 100 k $\Omega$  和 8 pF 來終結。從電氣面最能比較出被動式探棒和示波器探棒的差異。被動式探量系統的優點除了體積小、可靠度高之外，還可以直接在標的系統的連接點上終結，這樣做可以避免由較大的主動式探棒組連到待測電路的接線所造成的額外雜散電容。如此一來，待測電路只會"看到" 8 pF 的負載電容，而非原先探量系統的 16 pF。

## 分析探棒及其它配件

連接狀態分析儀與微處理器系統在實體的連接與時脈的選擇上，需要花一點功夫。記住：每當匯流排上的資料或位址有效時，需要有時脈信號來通知狀態分析儀，才能進行取樣。就某些微處理器而言，可能需要使用外部電路，將一些信號解碼之後，才能提供狀態分析儀所需的時脈。分析探棒不僅在實體機構上，可以快速、可靠又正確地與標的系統相連接，而且在電氣上還能提供所需的因應能力，如時脈的提供和解多工等，以正確地擷取到系統的運作狀況。

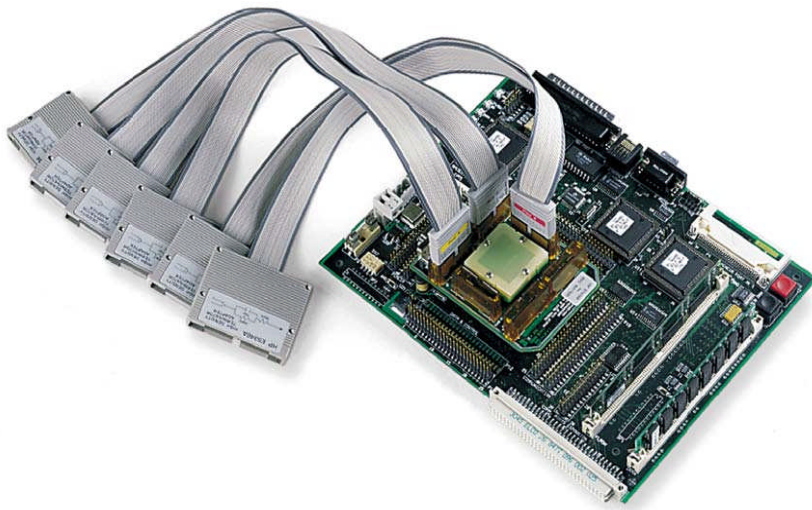


圖 6：分析探棒



## 結語

本文說明了什麼是邏輯分析儀以及它的功用，由於大部分的邏輯分析儀都是由時序和狀態分析儀所組成，因此我們也分別介紹這兩大部份，兩者合起來可以為數位設計人員提供一個強大的工具。

當需要處理很多條信號線時，時序分析儀比較適合用於匯流排式的結構或應用，它也可以讓使用者依照多組信號線的碼型或突波的設定條件進行觸發。

狀態分析儀最常被視為是一種軟體方面的工具，但事實上，它在硬體領域的用途也很廣。由於狀態分析儀使用的是待測系統的時脈，因此，當系統在時脈信號出現時，如果看到符合擷取條件的資料，就可以透過狀態分析儀來擷取。

掌握這些基本的知識以後，工程師就可以信心十足地運用邏輯分析儀來偵測和找出數位設計的問題了。

供稿：安捷倫科技公司